

Attorney Docket No. 5649-1055

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Park et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: METHODS FOR FORMING A METAL CONTACT IN A SEMICONDUCTOR
DEVICE IN WHICH AN OHMIC LAYER IS FORMED WHILE FORMING A
BARRIER METAL LAYER

Date: July 8, 2003

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0050072, filed August 23, 2002.

Respectfully submitted,



D. Scott Moore
Registration No. 42,011

Correspondence Address:



20792

PATENT TRADEMARK OFFICE

Telephone: 919/854-1400

Faxsimile: 919/854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV353610483US

Date of Deposit: July 8, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Traci A. Brown

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

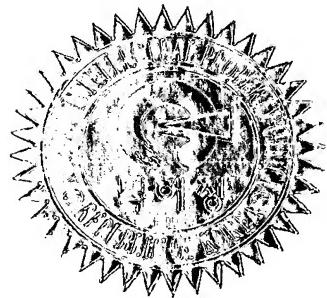
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0050072
Application Number PATENT-2002-0050072

출원년월일 : 2002년 08월 23일
Date of Application AUG 23, 2002

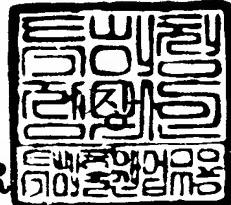
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002년 10월 23일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.08.23
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 금속 콘택 형성 방법
【발명의 영문명칭】	Method for forming metal contact in semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	박희숙
【성명의 영문표기】	PARK,Hee Sook
【주민등록번호】	710401-2006015
【우편번호】	100-453
【주소】	서울특별시 종구 신당3동 366-37
【국적】	KR
【발명자】	
【성명의 국문표기】	최길현
【성명의 영문표기】	CHOL,Gi I Heyun
【주민등록번호】	661001-1009316
【우편번호】	449-913

【주소】	경기도 용인시 구성면 보정리행원마을 동아솔레시티아파트 104-101		
【국적】	KR		
【발명자】			
【성명의 국문표기】	강상범		
【성명의 영문표기】	KANG, Sang Bum		
【주민등록번호】	690217-1023717		
【우편번호】	137-040		
【주소】	서울특별시 서초구 반포동 1069번지 반포아파트 15-202		
【국적】	KR		
【발명자】			
【성명의 국문표기】	박성건		
【성명의 영문표기】	PARK, Seong Geon		
【주민등록번호】	711215-1670716		
【우편번호】	449-907		
【주소】	경기도 용인시 기흥읍 신갈리 158번지 양현마을 풍림아파트 304-1204		
【국적】	KR		
【발명자】			
【성명의 국문표기】	문광진		
【성명의 영문표기】	MOON, Kwang Jin		
【주민등록번호】	730304-1641917		
【우편번호】	449-901		
【주소】	경기도 용인시 기흥읍 농서리 7-1 마로니에동 606		
【국적】	KR		
【심사청구】			
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	24	면	24,000 원

1020020050072

출력 일자: 2002/10/24

【우선권주장료】	0	건	0	원
【심사청구료】	38	항	1,325,000	원
【합계】			1,378,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

반도체 소자의 금속 콘택 형성 방법을 제공한다. 본 발명은 실리콘 기판 상에 콘택 홀을 갖는 절연막을 형성한 후 상기 콘택홀의 바닥 및 내벽 상에 코발트막 및/또는 티타늄막을 포함하는 오믹층을 형성한다. 상기 오믹층 상에 티타늄 질화막으로 확산 방지막을 형성하면서 상기 콘택홀의 바닥에 코발트 실리사이드 및/또는 티타늄 실리사이드를 형성한다. 상기 확산 방지막 상에 상기 콘택홀을 매립하는 플러그를 형성하여 완성한다. 본 발명은 간단한 공정으로 코발트막을 오믹층으로 적용할 수 있고, 오믹층으로 티타늄막을 더 포함하여 코발트막의 형성 두께를 얇게 할 수 있다.

【대표도】

도 3d

【명세서】**【발명의 명칭】**

반도체 소자의 금속 콘택 형성 방법{Method for forming metal contact in semiconductor device}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 기술에 의한 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도이다.

도 2a 내지 도 2f는 종래 기술에 따라 코발트 실리사이드를 채용한 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도들이다.

도 3a 내지 도 3d는 본 발명의 제1 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도들이다.

도 4는 본 발명의 제2 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도이다.

도 5a 내지 도 5c는 본 발명의 제3 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도들이다.

도 6은 본 발명의 제4 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도이다.

도 7a 내지 도 7d는 본 발명의 제5 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도들이다.

도 8은 본 발명의 제6 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도이다.

도 9는 본 발명의 반도체 소자의 금속 콘택 형성 방법에 채용된 제조 설비를 도시한 개략도이다.

도 10은 본 발명 및 종래 기술에 의하여 실제의 반도체 소자의 금속 콘택을 하였을 때 콘택 저항을 도시한 그래프이다.

도 11a 및 도 11b는 각각 본 발명 및 종래 기술에 의해 실제의 반도체 소자에 비트 라인 콘택을 수행했을 경우 콘택 크기에 따른 N⁺ 및 P⁺ 콘택의 콘택 저항을 도시한 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는 반도체 소자의 금속 콘택 형성 방법에 관한 것이다.

<13> 반도체 소자의 고집적화에 따라 디자인 룰이 점차 줄어들고 있다. 디자인 룰이 줄어듦에 따라 반도체 소자에서 개별 소자를 회로 배선에 연결시키는 역할을 하는 콘택, 혹은 상층 배선과 하층 배선을 연결하는 역할을 하는 비아 콘택의 경우도 평면적 크기가 작아지고 있다. 더하여, 반도체 소자 구조의 다층화에 따라 콘택의 깊이도 증가하는 추세에 있다.

- <14> 이에 따라, 콘택의 저항값이 높아져서 반도체 소자의 특성이 악화되므로 콘택 저항을 낮추는 기술의 개발이 중요한 문제가 되고 있다. 또한, 콘택의 저항 감소와 더불어 디자인 룰이 줄어듦에 따라 스텝 커버리지 문제가 중요한 문제가 되고 있다. 다시 말해, 콘택의 깊이는 깊어지는 대신에 평면적인 크기는 줄어들어 종횡비가 증가하므로 보이드나 단선 등의 문제없이 콘택홀에 금속을 채워넣는 것이 점차로 어려워지고 있다.
- <15> 도 1a 및 도 1b는 종래 기술에 의한 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도이다.
- <16> 도 1a를 참조하면, 실리콘 기판(11) 상에 콘택홀(13)을 갖는 절연막(15)을 형성한다. 상기 콘택홀(13)의 내부 및 절연막(15) 상에 티타늄막(17, Ti) 및 티타늄 질화막(19, TiN)을 순차적으로 형성하여 배리어 금속막(21)을 형성한다. 상기 티타늄막(17)은 오믹막으로 작용하며, 상기 티타늄 질화막(19)은 후에 형성되는 텅스텐막(도 1b의 25)이 실리콘으로 확산하는 것을 방지하기 위한 확산 방지막으로 작용한다. 물론, 티타늄 질화막(19)은 후에 형성되는 텅스텐의 표면 접착력을 높이는 역할도 수행한다.
- <17> 계속하여, 상기 배리어 금속막(21)이 형성된 실리콘 기판(11)을 RTP(Rapid Thermal Processing) 혹은 RTA(Rapid Thermal Annealing)와 같은 열처리를 통해 티타늄 실리사이드(23)를 형성한다.
- <18> 도 1b를 참조하면, 상기 배리어 금속막(21) 상에 상기 콘택홀을 매립하는 텅스텐막(25)을 형성한다. 상기 텅스텐막(25)은 캡필 특성이 우수한 CVD(chemical vapor deposition, 화학기상증착) 방법으로 형성한다. 상기 텅스텐막(25)은 CVD 방법으로 형성하기 때문에 콘택홀을 잘 매립할 수 있다.

- <19> 그런데, 도 1a 및 도 1b에서 형성한 티타늄 실리사이드(23)는 앞서 설명한 바와 같아 고집적화된 반도체 소자에서 콘택저항이 커서 다른 물질로 대체하는 것이 필요하다. 이에 따라, 코발트 실리사이드를 채용하는 반도체 소자의 금속 콘택 형성 방법이 제안되었다.
- <20> 도 2a 내지 도 2f는 종래 기술에 따라 코발트 실리사이드를 채용한 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도들이다.
- <21> 도 2a를 참조하면, 실리콘 기판(31) 상에 콘택홀(32)을 갖는 절연막(33)을 형성한다. 상기 콘택홀(32)의 내부 및 절연막(33) 상에 코발트막(35, Co)을 PVD(physical vapor deposition, 물리기상증착)법을 이용하여 형성한다. 그리고, 상기 코발트막(35) 상에 티타늄 질화막(37, TiN)을 형성한다.
- <22> 도 2b를 참조하면, 상기 코발트막(35) 및 티타늄 질화막(37)이 형성된 실리콘 기판(31)을 RTP(Rapid Thermal Processing) 혹은 RTA(Rapid Thermal Annealing)와 같은 1차 열처리를 통해 실리시데이션시켜 콘택홀(32)의 바닥에 CoSi_x 막(39)을 형성한다.
- <23> 도 2c를 참조하면, 상기 CoSi_x 막(39)이 형성된 실리콘 기판(31)을 황산 용액에 담가 상기 콘택홀(32)의 내부 및 절연막(33) 상의 코발트막(35) 및 티타늄 질화막(37)을 스트립(제거)한다. 이렇게 되면, 콘택홀(32)의 바닥에 CoSi_x 막(39)이 형성된 상태가 된다. 상기 CoSi_x 막(39)은 저항이 높기 때문에 후에 열처리를 통하여 CoSi_2 형태의 코발트 실리사이드막이 된다.
- <24> 도 2d를 참조하면, 상기 CoSi_x 막(39)이 형성된 실리콘 기판(31)을 RTP(Rapid Thermal Processing) 혹은 RTA(Rapid Thermal Annealing)와 같은 2차 열처리를 통해 실

리시 데이션 시켜 콘택홀(32)의 바닥에 코발트 실리사이드(41, CoSi_2)를 형성한다. 계속하여, 코발트 실리사이드(41, CoSi_2)가 형성된 실리콘 기판(31)을 세정한다.

<25> 도 2e를 참조하면, 코발트 실리사이드(41)가 형성된 실리콘 기판의 전면에 티타늄 막(17, 43) 및 티타늄 질화막(45, TiN)을 순차적으로 형성하여 배리어 금속막(47)을 형성한다.

<26> 도 2f를 참조하면, 상기 배리어 금속막(47) 상에 상기 콘택홀(32)을 매립하는 텅스텐막(49)을 형성한다. 상기 텅스텐막(49)은 캡필 특성이 우수한 CVD 방법으로 형성한다. 상기 텅스텐막(49)은 CVD 방법으로 형성하기 때문에 콘택홀(32)을 잘 매립할 수 있다.

<27> 도 2a 내지 도 2f의 상기 코발트 실리사이드를 채용한 반도체 소자의 금속 콘택 형성 방법에서, 코발트 실리사이드(41, CoSi_2)는 티타늄 실리사이드(TiSi_2)보다 도편트(dopants)와 반응성이 낮아서 낮은 콘택 저항을 구현할 수 있다.

<28> 그러나, 도 2a 내지 도 2f의 종래의 코발트 실리사이드를 채용한 반도체 소자의 금속 콘택 형성 방법은 2번의 열처리 공정과 스트립(strip) 공정을 진행하여야 하는 문제점이 있다.

<29> 더하여, 도 2a 내지 도 2f의 종래의 반도체 소자의 금속 콘택 형성 방법에서 코발트막(35)은 PVD법으로 형성하여 스텝 커버리지가 불량하기 때문에 콘택 바닥(contact bottom)에 적당한 두께의 코발트 실리사이드(41)를 얻기 위해서는 두꺼운 코발트막(35)을 증착시켜야 한다. 이렇게 두꺼운 코발트막(35)이 증착되면 실리시데이션(silicidation)후 남은 코발트막을 제거하기 위한 스트립 공정이 반드시 필요하다. 그리고, 스트립 공정 후에는 세정(Cleaning) 공정이 강화되어야 한다.

<30> 결과적으로, 종래의 금속 콘택 형성 방법은 공정이 복잡하기 때문에 코발트 실리사이드를 오믹층으로 채용하는 것이 어려운 것이 사실이다.

【발명이 이루고자 하는 기술적 과제】

<31> 따라서, 본 발명이 이루고자 하는 기술적 과제는 콘택홀에 형성되는 코발트막의 두께를 줄이면서도 2번의 RTP 공정과 및 스트립(strip) 공정을 생략할 수 있는 코발트 실리사이드를 이용한 반도체 소자의 금속 콘택 형성 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<32> 상기 기술적 과제를 달성하기 위하여, 본 발명의 일 예에 따르면, 실리콘 기판 상에 콘택홀을 갖는 절연막을 형성한 후 상기 콘택홀의 바닥 및 내벽 상에 코발트막 및/또는 티타늄막을 포함하는 오믹층을 형성한다. 상기 오믹층 상에 티타늄 질화막으로 확산방지막을 형성하면서 상기 콘택홀의 바닥에 코발트 실리사이드 및/또는 티타늄 실리사이드를 형성한다. 상기 확산 방지막 상에 상기 콘택홀을 매립하는 플러그를 형성하여 반도체 소자의 금속 콘택을 완성한다.

<33> 상기 오믹층 및 확산 방지막은 진공 중단 없이 인시츄로 형성하는 것이 바람직하다. 상기 플러그는 텅스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄탈륨 질화막(TaN)으로 형성할 수 있다. 상기 플러그를 티타늄 질화막으로 형성할 경우는 상기 확산 방지막 형성과 함께 상기 콘택홀을 매립하는 플러그를 동시에 형성할 수 있다.

<34> 상기 오믹층으로 사용되는 코발트막 및 티타늄막은 각각 5~200Å 및 5~150Å의 얇은 두께로 형성할 수 있다. 상기 오믹층으로 사용하는 코발트막은 PVD 또는 CVD법(ALD 법도 포함)을 이용하여 형성할 수 있다. 상기 오믹층으로 사용하는 티타늄막 및 확산 방

지막으로 사용하는 티타늄 질화막은 CVD법(ALD법도 포함)을 이용하여 형성할 수 있다.

상기 확산 방지막으로 사용되는 티타늄 질화막은 400~750°C의 고온에서 CVD법으로 형성 할 수 있다.

<35> 상기 콘택홀을 갖는 절연막을 형성한 후 상기 실리콘 기판을 세정할 수 있다. 상기 실리콘 기판을 세정할 경우 상기 실리콘 기판의 세정부터 상기 확산 방지막의 형성까지 친공 중단 없이 인시츄로 수행하는 것이 바람직하다.

<36> 또한, 본 발명의 다른 예에 따르면, 실리콘 기판 상에 콘택홀을 갖는 절연막을 형 성한 후 상기 콘택홀의 바닥 및 내벽 상에 코발트막을 형성한다. 상기 코발트막 상에 CVD법으로 티타늄막을 형성하면서 상기 콘택홀의 바닥에 코발트 실리사이드를 형성한다. 상기 티타늄막 상에 티타늄 질화막을 형성한 후 상기 티타늄 질화막 상에 상기 콘택홀을 매립하는 플러그를 형성하여 반도체 소자의 금속 콘택을 완성한다.

<37> 상기 코발트막, 티타늄막, 티타늄 질화막은 친공 중단 없이 인시츄로 형성하는 것 이 바람직하다. 상기 플러그는 텅스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄 탈륨 질화막(TaN)으로 형성할 수 있다. 상기 플러그를 티타늄 질화막으로 형성할 경우는 상기 티타늄 질화막 형성과 함께 상기 콘택홀을 매립하는 플러그를 동시에 형성할 수 있다.

<38> 상기 코발트막 및 티타늄막은 각각 5~200Å 및 5~150Å의 얇은 두께로 형성할 수 있다. 상기 코발트막은 PVD 또는 CVD법(ALD법도 포함)을 이용하여 형성할 수 있다. 상기 티타늄 질화막은 400~750°C의 고온에서 CVD법으로 형성하는 것이 바람직하다.

- <39> 상기 콘택홀을 갖는 절연막을 형성한 후 상기 실리콘 기판을 세정할 수 있다. 상기 실리콘 기판을 세정할 경우에는 상기 실리콘 기판의 세정부터 티타늄 질화막의 형성까지 진공 중단 없이 인시츄로 진행할 수 있다.
- <40> 또한, 본 발명의 또 다른 예에 따르면 실리콘 기판 상에 콘택홀을 갖는 절연막을 형성한 후 상기 콘택홀의 바닥 및 내벽 상에 코발트막을 형성한다. 상기 코발트막 상에 CVD법으로 티타늄 질화막을 형성하면서 상기 콘택홀의 바닥에 코발트 실리사이드를 형성한다. 상기 티타늄 질화막 상에 상기 콘택홀을 매립하는 플러그를 형성하여 반도체 소자의 금속 콘택을 완성한다.
- <41> 상기 코발트막 및 티타늄 질화막은 진공 중단 없이 인시츄로 형성하는 것이 바람직하다. 상기 플러그는 텅스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄탈륨 질화막(TaN)으로 형성할 수 있다. 상기 플러그를 티타늄 질화막으로 형성할 경우는 상기 티타늄 질화막 형성과 함께 상기 콘택홀을 매립하는 플러그를 동시에 형성할 수 있다.
- <42> 상기 코발트막은 5~200Å의 얇은 두께로 형성하는 것이 바람직하다. 상기 코발트막은 PVD 또는 CVD법(ALD법도 포함)을 이용하여 형성할 수 있다. 상기 티타늄 질화막은 400~750°C의 고온에서 CVD법으로 형성하는 것이 바람직하다.
- <43> 상기 콘택홀을 갖는 절연막을 형성한 후 상기 실리콘 기판을 세정할 수 있다. 상기 실리콘 기판을 세정할 경우에는 상기 실리콘 기판의 세정부터 티타늄 질화막의 형성까지 진공 중단 없이 인시츄로 진행하는 것이 바람직하다.
- <44> 또한, 본 발명의 또 다른 예에 따르면, 실리콘 기판 상에 콘택홀을 갖는 절연막을 형성한 후 상기 콘택홀의 바닥 및 내벽 상에 티타늄막을 형성한다. 상기 티타늄막 상에

코발트막을 형성한 후 상기 코발트막 상에 CVD법으로 티타늄 질화막을 형성하면서 상기 콘택홀의 바닥에 티타늄 실리사이드 및 코발트 실리사이드를 포함하는 복합 실리사이드를 형성한다. 상기 복합 실리사이드 상에 상기 콘택홀을 매립하는 플러그를 형성하여 반도체 소자의 금속 콘택을 완성한다.

<45> 상기 티타늄막, 코발트막 및 티타늄 질화막은 진공 중단 없이 인시츄로 형성하는 것이 바람직하다. 상기 플러그는 텅스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄탈륨 질화막(TaN)으로 형성할 수 있다. 상기 플러그를 티타늄 질화막으로 형성할 경우는 상기 티타늄 질화막 형성과 함께 상기 콘택홀을 매립하는 플러그를 동시에 형성할 수 있다.

<46> 상기 티타늄막 및 코발트막은 각각 5~150Å 및 5~200Å의 얇은 두께로 형성하는 것이 바람직하다. 상기 코발트막은 PVD 또는 CVD법(ALD법도 포함)을 이용하여 형성할 수 있다.

<47> 상기 티타늄 질화막은 400~750°C의 고온에서 CVD법으로 형성할 수 있다. 상기 티타늄막은 400~750°C의 고온에서 CVD법으로 형성할 경우에는 상기 콘택홀의 바닥에 티타늄 실리사이드가 형성될 수 있다.

<48> 상기 콘택홀을 갖는 절연막을 형성한 후 상기 실리콘 기판을 세정할 수 있다. 상기 실리콘 기판을 세정할 경우에는 상기 실리콘 기판의 세정부터 티타늄 질화막의 형성까지 진공 중단 없이 인시츄로 진행하는 것이 바람직하다.

<49> 이상과 같은 본 발명의 반도체 소자의 금속 콘택 형성 방법은 2번의 열처리 공정과 스트립(strip) 공정을 진행하지 않는 간단한 공정으로 코발트막을 오믹층으로 적용할 수 있고, 오믹층으로 티타늄막을 더 포함하여 코발트막의 형성 두께를 얇게 할 수 있다.

<50> 이하, 첨부도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 그러나, 다음에 예시하는 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예들에 한정되는 것은 아니다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 "위(상)"에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른 막이 개재될 수도 있다.

<51> 실시예 1

<52> 도 3a 내지 도 3d는 본 발명의 제1 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도들이다.

<53> 도 3a를 참조하면, 실리콘 기판(101) 상에 콘택홀(103)을 갖는 절연막(105)을 형성한다. 상기 콘택홀(103)의 내벽, 바닥 및 절연막(105) 상에 오믹층으로 코발트막(107)을 형성한다. 상기 코발트막(107)은 5~200Å의 얇은 두께로 형성한다. 상기 코발트막(107)은 PVD 또는 CVD법(이하에서는, 넓은 의미로 CVD법에 ALD법도 포함되는 것으로 간주한다)을 이용하여 형성한다. 상기 코발트막(107)을 PVD법으로 형성할 경우에는 25~500°C의 온도에서 코발트막(107)을 증착한다. 특히, 상기 코발트막(107)을 PVD법으로 형

성할 때 모폴로지 개선을 위하여 증착온도를 400~500°C의 높은 온도에서 형성하는 것이 바람직하다.

<54> 도 3b를 참조하면, 상기 코발트막(107) 상에 400~750°C의 고온에서 CVD법으로 티타늄막(109)을 형성한다. 상기 티타늄 질화막(109)은 오믹충으로 작용한다. 상기 티타늄 막(109)은 콘택홀(103)의 내벽, 바닥 및 절연막(105) 상의 코발트막(107) 상에 형성된다. 상기 티타늄막(109)은 5~150Å의 두께로 형성한다. 상기 티타늄막(109)을 고온에서 형성하기 때문에 상기 티타늄막(109) 형성시 상기 콘택홀(103)의 바닥에는 코발트 실리사이드(111)가 형성된다.

<55> 도 3c를 참조하면, 상기 코발트막 및 티타늄막 상에 400~750°C의 고온에서 CVD법으로 티타늄 질화막(113)형성한다. 상기 티타늄 질화막(113)은 50Å 이상, 예컨대, 50~500Å의 두께로 형성한다. 상기 티타늄 질화막(113)은 후에 형성되는 플러그를 구성하는 물질, 예컨대 텡스텐의 확산을 방지하는 확산 방지막 역할을 한다. 결과적으로, 상기 코발트막(107), 티타늄막(109) 및 티타늄 질화막(113)은 배리어 금속막(115)으로 작용한다.

<56> 도 3d를 참조하면, 상기 배리어 금속막(115) 상에 상기 콘택홀(103)을 매립하도록 플러그(117)를 형성하여 금속 콘택을 완성한다. 상기 플러그(117)는 텡스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄탈륨 질화막(TaN)을 이용하여 형성한다.

<57> 이상의 도 3a 내지 도 3d의 본 발명의 반도체 소자의 금속 콘택 형성 방법은 종래와 다르게 2번의 열처리 공정과 스트립(strip) 공정을 진행하지 않고 간단한 공정으로 코발트 실리사이드를 오믹충으로 적용할 수 있다.

<58> 그리고, 도 3a 내지 도 3d의 금속 콘택 형성 방법은 콘택홀의 바닥에 형성된 코발트막 및 티타늄막을 오믹층으로 구성하기 때문에 코발트막만을 오믹층으로 사용하는 종래와 다르게 코발트막의 형성 두께를 얇게 할 수 있다. 더하여, 도 3a 내지 도 3d의 본 발명의 반도체 소자의 금속 콘택 형성 방법은 티타늄막을 고온에서 형성할 때 코발트 실리사이드를 형성하기 때문에 코발트막의 형성 두께를 얇게 할 수 있다.

<59> 실시예 2

<60> 도 4는 본 발명의 제2 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도이다.

<61> 도 4에서, 도 3a 내지 도 3d와 동일한 참조번호는 동일한 부재를 나타낸다. 본 발명의 제2 실시예에 따른 반도체 소자의 콘택 형성 방법은 플러그(119)를 배리어 금속막으로 사용되는 티타늄 질화막으로 형성한 것을 제외하고는 제1 실시예와 구성 및 효과면에서 동일하다.

<62> 구체적으로, 본 발명의 제2 실시예에 따른 반도체 소자의 금속 콘택 형성 방법은 도 3a 및 도 3b와 동일하게 진행한다. 이어서, 도 4를 참조하면, 티타늄막(109) 상에 상기 콘택홀(103)을 매립하도록 플러그(119)를 형성하여 금속 콘택을 완성한다. 상기 플러그(119)는 티타늄 질화막(TiN)을 이용하여 20~3000Å의 두께로 형성한다.

<63> 실시예 3

<64> 도 5a 내지 도 5c는 본 발명의 제3 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도들이다.

<65> 도 5a를 참조하면, 실리콘 기판(201) 상에 콘택홀(203)을 갖는 절연막(205)을 형성 한다. 상기 콘택홀(203)의 내벽, 바닥 및 절연막(205) 상에 오믹층으로 코발트막(207)을 형성한다. 상기 코발트막(207)은 5~200Å의 얇은 두께로 형성한다. 상기 코발트막(207)은 PVD 또는 CVD법(ALD법도 포함)을 이용하여 형성한다. 상기 코발트막(207)을 PVD법으로 형성할 경우에는 25~500°C의 온도에서 코발트막(207)을 증착한다. 특히, 상기 코발트막(207)을 PVD법으로 형성할 때 모폴로지 개선을 위하여 증착온도를 400~500°C의 높은 온도에서 형성하는 것이 바람직하다.

<66> 도 5b를 참조하면, 상기 코발트막(207) 상에 400~750°C의 고온에서 CVD법으로 티타늄 질화막(209)을 형성한다. 상기 티타늄 질화막(209)은 콘택홀(203)의 내벽, 바닥 및 절연막(205) 상의 코발트막(107) 상에 형성된다. 상기 티타늄 질화막(209)은 50Å 이상, 예컨대 50~500Å의 두께로 형성한다. 상기 티타늄 질화막(113)은 후에 형성되는 플러그를 구성하는 물질, 예컨대 텡스텐이 하부의 실리콘층으로 확산하는 것을 방지하는 확산 방지막 역할을 수행한다. 상기 티타늄 질화막(209)을 고온에서 형성하기 때문에 상기 티타늄 질화막(209) 형성시 상기 콘택홀(203)의 바닥에는 코발트 실리사이드(211)가 형성된다. 결과적으로, 코발트막(107) 및 티타늄 질화막(209)이 배리어 금속막으로 작용한다.

<67> 도 5c를 참조하면, 상기 배리어 금속막인 티타늄 질화막(209) 상에 상기 콘택홀(203)을 매립하도록 플러그(213)를 형성하여 금속 콘택을 완성한다. 상기 플러그(213)는 텡스텐막, 티타늄 질화막(TiN), 알루미늄막(A1) 또는 탄탈륨 질화막(TaN)을 이용하여 형성한다.

<68> 이상의 도 5a 내지 도 5c의 본 발명의 반도체 소자의 금속 콘택 형성 방법은 종래와 다르게 2번의 열처리 공정과 스트립(strip) 공정을 진행하지 않고 간단한 공정으로 코발트 실리사이드를 오믹층으로 적용할 수 있다. 더하여, 도 5a 내지 도 5c의 본 발명의 반도체 소자의 금속 콘택 형성 방법은 티타늄 질화막을 고온에서 형성할 때 코발트 실리사이드를 형성하기 때문에 종래에 비하여 코발트막의 형성 두께를 얇게 할 수 있다.

<69> 실시예 4

<70> 도 6은 본 발명의 제4 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도이다.

<71> 도 6에서, 도 5a 내지 도 5c와 동일한 참조번호는 동일한 부재를 나타낸다. 본 발명의 제4 실시예에 따른 반도체 소자의 콘택 형성 방법은 플러그(215)를 배리어 금속막으로 사용되는 티타늄 질화막으로 형성한 것을 제외하고는 제3 실시예와 구성 및 효과면에서 동일하다.

<72> 구체적으로, 본 발명의 제4 실시예에 따른 반도체 소자의 금속 콘택 형성 방법은 도 5a와 동일하게 진행한다. 이어서, 도 6을 참조하면, 코발트막(207) 상에 상기 콘택홀(103)을 매립하도록 플러그(215)를 형성한다. 상기 플러그(215)는 티타늄 질화막(TiN)을 이용하여 20~3000Å의 두께로 형성한다. 상기 플러그(215) 형성시 콘택홀(203)의 바닥에 코발트 실리사이드(211)가 형성된다.

<73> 실시예 5

- <74> 도 7a 내지 도 7d는 본 발명의 제5 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도들이다.
- <75> 도 7a를 참조하면, 실리콘 기판(301) 상에 콘택홀(303)을 갖는 절연막(305)을 형성한다. 상기 콘택홀(303)의 내벽, 바닥 및 절연막(305) 상에 오믹층으로 티타늄막(307)을 형성한다. 상기 티타늄막(307)은 5~150Å의 두께로 형성한다. 상기 티타늄막(307)은 도 7a와 같이 PVD법을 이용하여 형성한다. 또는, 상기 티타늄막(307)은 400~750°C의 고온에서 CVD법으로 형성할 수 있다. 상기 티타늄막(307)을 고온에서 CVD법으로 형성하면 도 7a에는 도시되어 있지 않지만 콘택홀(303)의 바닥에 티타늄 실리사이드가 형성된다.
- <76> 도 7b를 참조하면, 상기 티타늄막(307) 상에 오믹층으로 코발트막(309)을 형성한다. 상기 코발트막(309)은 5~200Å의 얇은 두께로 형성한다. 상기 코발트막(309)은 PVD 또는 CVD법(ALD법도 포함)을 이용하여 형성한다. 상기 코발트막(309)을 PVD법으로 형성할 경우에는 25~500°C의 온도에서 증착한다. 특히, 상기 코발트막(309)을 PVD법으로 형성할 때 모폴로지 개선을 위하여 증착온도를 400~500°C의 높은 온도에서 형성하는 것이 바람직하다.
- <77> 도 7c를 참조하면, 상기 코발트막(309) 상에 400~750°C의 고온에서 CVD법으로 티타늄 질화막(311)을 형성한다. 상기 티타늄 질화막(311)은 콘택홀(303)의 내벽 및 절연막(305) 상의 코발트막(309) 상에 형성된다. 상기 티타늄 질화막(311)은 50Å 이상, 예컨대 50~500Å의 두께로 형성한다. 상기 티타늄 질화막(311)을 고온에서 형성하기 때문에 상기 티타늄 질화막(311) 형성시 상기 콘택홀(303)의 바닥에는 티타늄 실리사이드 및 코발트 실리사이드의 복합 실리사이드(313)가 형성된다. 상기 복합 실리사이드(313),

티타늄막 및 코발트막은 오믹층으로 작용한다. 상기 티타늄 질화막(311)은 후에 형성되는 플러그 물질, 예컨대 텡스텐이 하부로 확산하는 것을 방지하는 확산 방지막 역할을 수행한다. 결과적으로, 상기 티타늄막(307), 코발트막(309) 및 티타늄 질화막(311)은 배리어 금속막으로 작용한다.

<78> 도 7d를 참조하면, 상기 티타늄 질화막(311) 상에 상기 콘택홀(303)을 매립하도록 플러그(315)를 형성하여 금속 콘택을 완성한다. 상기 플러그(315)는 텡스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄탈륨 질화막(TaN)을 이용하여 형성한다.

<79> 이상의 도 7a 내지 도 7d의 본 발명의 반도체 소자의 금속 콘택 형성 방법은 종래와 다르게 2번의 열처리 공정과 스트립(strip) 공정을 진행하지 않고 간단한 공정으로 코발트 실리사이드를 오믹층으로 적용할 수 있다.

<80> 그리고, 도 7a 내지 도 7d의 금속 콘택 형성 방법은 콘택홀의 바닥에 형성된 티타늄막 및 코발트막을 오믹층으로 구성하기 때문에 코발트막만을 오믹층으로 사용하는 종래와 다르게 코발트막의 형성 두께를 얇게 할 수 있다. 더하여, 도 7a 내지 도 7d의 본 발명의 반도체 소자의 금속 콘택 형성 방법은 티타늄 질화막을 고온에서 형성할 때 코발트 실리사이드를 형성하기 때문에 코발트막의 형성 두께를 얇게 할 수 있다.

<81> 실시예 6

<82> 도 8은 본 발명의 제6 실시예에 따른 반도체 소자의 금속 콘택 형성 방법을 도시한 단면도이다.

<83> 도 8에서, 도 7a 내지 도 7c와 동일한 참조번호는 동일한 부재를 나타낸다. 본 발명의 제6 실시예에 따른 반도체 소자의 콘택 형성 방법은 플러그(317)를 배리어 금속막

으로 사용되는 티타늄 질화막으로 형성한 것을 제외하고는 제5 실시예와 구성 및 효과면에서 동일하다.

<84> 구체적으로, 본 발명의 제6 실시예에 따른 반도체 소자의 금속 콘택 형성 방법은 도 7a 및 도 7b와 동일하게 진행한다. 이어서, 도 8을 참조하면, 코발트막(309) 상에 상기 콘택홀(303)을 매립하도록 플러그(317)를 형성한다. 상기 플러그(317)는 티타늄 질화막(TiN)을 이용하여 20~3000Å의 두께로 형성한다. 상기 플러그(317) 형성시 콘택홀(303)의 바닥에 복합 실리사이드(313)가 형성된다.

<85> 도 9는 본 발명의 반도체 소자의 금속 콘택 형성 방법에 채용된 제조 설비를 도시한 개략도이다.

<86> 구체적으로, 본 발명에 적용한 설비는 몸체(401) 내에 위치하고 웨이퍼를 개개의 챔버들로 이동할 수 있는 트랜스퍼 모듈(403)과, 상기 몸체(401)에 설치된 복수개의 챔버들로 구성된다. 상기 몸체(401)에 설치된 챔버는 코발트 증착 챔버(405), 티타늄 증착 챔버(407), 티타늄 질화막 챔버(409), 쿨링 챔버(411), 로드락 챔버(413) 및 세정 챔버(415) 등으로 구성된다. 로드락 챔버(413)에 로딩된 웨이퍼는 세정 챔버(415)에서 세정된 후 개개의 증착 챔버에서 막을 형성할 수 있고, 막이 형성된 웨이퍼는 쿨링 챔버(411)에서 쿨링된다. 쿨링 챔버(411)에서 쿨링된 웨이퍼는 로드락 챔버(413)를 통하여 외부로 배출된다.

<87> 특히, 상기 설비를 사용하여 본 발명의 반도체 소자의 금속 콘택 형성 방법을 수행하게 되면, 웨이퍼를 세정한 후 앞서의 실시예에서 설명된 코발트막 증착, 티타늄 증착 및 티타늄 질화막 증착이나, 코발트막 증착 및 티타늄 질화막 증착, 또는 티타늄막, 코발트막 및 티타늄 질화막을 진공 중단(vacuum break) 없이 인시츄로 수행할 수 있다.

<88> 만약, 종래기술과 같이 코발트막 증착 설비에서 코발트막을 증착한 후 진공 중단후 다른 설비에서 티타늄 및 티타늄 질화막을 증착하게 되면 코발트막 상에 CoO_x 가 생성되어 오믹층의 형성을 방해하고 저항을 증가시키는 요인이 된다. 따라서, 코발트막을 증착한 후 웨이퍼를 세정해야 한다. 그러나, 도 9의 설비를 사용하게 되면 한 설비에서 세정한 후 진공 중단 없이 코발트막 증착, 티타늄 증착 및 티타늄 질화막 증착을 인시츄로 진행함으로써 공정 스텝 및 공정 시간을 감소시키면서 안정적인 콘택 저항을 얻을 수 있다.

<89> 도 10은 본 발명 및 종래 기술에 의하여 실제의 반도체 소자의 금속 콘택을 하였을 때 콘택 저항을 도시한 그래프이다. 도 10에서, 가로축은 실험 조건이고, 세로축은 1000개 콘택의 콘택 저항의 분포를 나타낸다.

<90> 구체적으로, a 및 a'은 본 발명의 제1 실시예에 따라 코발트막을 100Å, 티타늄막을 CVD법으로 75Å의 두께로 형성하고, 티타늄 질화막을 CVD법으로 250Å의 두께로 형성한 경우의 콘택 저항이다. b 및 b'는 본 발명의 제1 실시예에 따라 코발트막을 200Å, 티타늄막을 CVD법으로 75Å의 두께로 형성하고, 티타늄 질화막을 CVD법으로 250Å의 두께로 형성한 경우의 콘택 저항이다. c 및 c'는 본 발명의 제5 실시예에 따라 코발트막을 100Å 형성한 경우의 콘택 저항이다. 그리고, d 및 d'는 종래 기술에 따른 코발트 실리사이드의 콘택 저항이고, e, e', f 및 f'은 종래 기술에 따른 티타늄 실리사이드의 콘택 저항이다. 그리고, a, b, c, d, e 및 f는 750°C에서 30분간 1회 어닐링한 콘택 저항 결과이고, a', b', c', d', e' 및 f'는 750°C에서 30분간 2회 어닐닝한 콘택 저항 결과이다.

<91> 도 10에 보듯이, 본 발명에 의해 형성된 반도체 소자의 콘택 저항은 종래의 티타늄 실리사이드의 콘택 저항 및 코발트 실리사이드의 콘택 저항보다 비교적 작아 우수하다. 또한, 본 발명에 의한 반도체 소자의 콘택 저항은 2회 열처리할 경우에도 종래의 티타늄 실리사이드의 콘택 저항 및 코발트 실리사이드의 콘택 저항과 비교하여 비교적 작아 우수하다.

<92> 도 11a 및 도 11b는 각각 본 발명 및 종래 기술에 의해 실제의 반도체 소자에 비트라인 콘택을 수행했을 경우 콘택 크기에 따른 N⁺ 및 P⁺ 콘택의 콘택 저항을 도시한 그래프이다.

<93> 구체적으로, 도 11a 및 도 11b에서, Co 100A(□) 및 Co 200A(○)는 각각 도 10의 a 및 b 조건이다. 즉, 본 발명에 따라 금속 콘택을 형성한 경우이다. 그리고, CoSi2(◇)는 도 10의 d 조건, 즉 종래 기술에 의한 코발트 실리사이드를 이용한 콘택이며, TiSi2(▽)는 도 10의 e나 f 조건, 즉 종래 기술에 의한 티타늄 실리사이드를 이용한 콘택인 경우를 나타낸다.

<94> 도 11a 및 도 11b에 도시한 바와 같이 본 발명에 의해 비트라인 콘택을 형성할 경우가 종래의 코발트 실리사이드나 티타늄 실리사이드를 채용한 경우보다 콘택 저항이 작아지고, 특히 콘택 크기가 작아지면 뚜렷하게 콘택 저항이 작아짐을 알 수 있다.

【발명의 효과】

<95> 상술한 바와 같이 본 발명의 반도체 소자의 금속 콘택 형성 방법은 종래와 다르게 2번의 열처리 공정과 스트립(strip) 공정을 진행하지 않고 간단한 공정으로 코발트막을 오믹층으로 적용할 수 있다.

- <96> 또한, 본 발명의 금속 콘택 형성 방법은 콘택홀의 바닥에 형성된 코발트막 및 티타늄막을 오믹층으로 구성하기 때문에 코발트막만을 오믹층으로 사용하는 종래와 다르게 코발트막의 형성 두께를 얇게 할 수 있다.
- <97> 더하여, 본 발명의 반도체 소자의 금속 콘택 형성 방법은 티타늄막이나 티티늄질화막을 고온에서 형성할 때 코발트 실리사이드를 형성하기 때문에 코발트막의 형성 두께를 얇게 할 수 있다.

【특허청구범위】**【청구항 1】**

실리콘 기판 상에 콘택홀을 갖는 절연막을 형성하는 단계;

상기 콘택홀의 바닥 및 내벽 상에 코발트막 및/또는 티타늄막을 포함하는 오믹층을 형성하는 단계;

상기 오믹층 상에 티타늄 질화막으로 확산 방지막을 형성하면서 상기 콘택홀의 바닥에 코발트 실리사이드 및/또는 티타늄 실리사이드를 형성하는 단계; 및

상기 확산 방지막 상에 상기 콘택홀을 매립하는 플러그를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 2】

제1항에 있어서, 상기 오믹층 및 확산 방지막은 진공 중단 없이 인시츄로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 3】

제1항에 있어서, 상기 플러그는 텅스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄탈륨 질화막(TaN)으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 4】

제3항에 있어서, 상기 플러그를 티타늄 질화막으로 형성할 경우는 상기 확산 방지막 형성과 함께 상기 콘택홀을 매립하는 플러그를 동시에 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 5】

제1항에 있어서, 상기 오믹층으로 사용되는 코발트막 및 티타늄막은 각각 5~200Å 및 5~150Å의 얇은 두께로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 6】

제1항에 있어서, 상기 오믹층으로 사용하는 코발트막은 PVD 또는 CVD법(ALD법도 포함)을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 7】

제1항에 있어서, 상기 오믹층으로 사용하는 티타늄막 및 확산 방지막으로 사용하는 티타늄 질화막은 CVD법(ALD법도 포함)을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 8】

제1항에 있어서, 상기 확산 방지막으로 사용되는 티타늄 질화막은 400~750°C의 고온에서 CVD법으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 9】

제1항에 있어서, 상기 콘택홀을 갖는 절연막을 형성한 후 상기 실리콘 기판을 세정하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 10】

제9항에 있어서, 상기 실리콘 기판의 세정부터 상기 확산 방지막의 형성까지 진공 중단 없이 인시츄로 수행하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 11】

실리콘 기판 상에 콘택홀을 갖는 절연막을 형성하는 단계;

상기 콘택홀의 바닥 및 내벽 상에 코발트막을 형성하는 단계;

상기 코발트막 상에 CVD법으로 티타늄막을 형성하면서 상기 콘택홀의 바닥에 코발트 실리사이드를 형성하는 단계;

상기 티타늄막 상에 티타늄 질화막을 형성하는 단계; 및

상기 티타늄 질화막 상에 상기 콘택홀을 매립하는 플러그를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 12】

제11항에 있어서, 상기 코발트막, 티타늄막, 티타늄 질화막은 진공 중단 없이 인시츄로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 13】

제11항에 있어서, 상기 플러그는 텅스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄탈륨 질화막(TaN)으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 14】

제13항에 있어서, 상기 플러그를 티타늄 질화막으로 형성할 경우는 상기 티타늄 질화막 형성과 함께 상기 콘택홀을 매립하는 플러그를 동시에 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 15】

제11항에 있어서, 상기 코발트막 및 티타늄막은 각각 5~200Å 및 5~150Å의 얇은 두께로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 16】

제11항에 있어서, 상기 코발트막은 PVD 또는 CVD법(ALD법도 포함)을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 17】

제11항에 있어서, 상기 티타늄 질화막은 400~750°C의 고온에서 CVD법으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 18】

제11항에 있어서, 상기 콘택홀을 갖는 절연막을 형성한 후 상기 실리콘 기판을 세정하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 19】

제18항에 있어서, 상기 실리콘 기판의 세정부터 티타늄 질화막의 형성까지 진공 중단 없이 인시츄로 진행하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 20】

실리콘 기판 상에 콘택홀을 갖는 절연막을 형성하는 단계;

상기 콘택홀의 바닥 및 내벽 상에 코발트막을 형성하는 단계;

상기 코발트막 상에 CVD법으로 티타늄 질화막을 형성하면서 상기 콘택홀의 바닥에 코발트 실리사이드를 형성하는 단계; 및

상기 티타늄 질화막 상에 상기 콘택홀을 매립하는 플러그를 형성하는 단계를 포함

하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 21】

제20항에 있어서, 상기 코발트막 및 티타늄 질화막은 진공 중단 없이 인시츄로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 22】

제20항에 있어서, 상기 플러그는 텅스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄탈륨 질화막(TaN)으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 23】

제22항에 있어서, 상기 플러그를 티타늄 질화막으로 형성할 경우는 상기 티타늄 질화막 형성과 함께 상기 콘택홀을 매립하는 플러그를 동시에 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 24】

제20항에 있어서, 상기 코발트막은 5~200Å의 얇은 두께로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 25】

제20항에 있어서, 상기 코발트막은 PVD 또는 CVD법(ALD법도 포함)을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 26】

제20항에 있어서, 상기 티타늄 질화막은 400~750°C의 고온에서 CVD법으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 27】

제20항에 있어서, 상기 콘택홀을 갖는 절연막을 형성한 후 상기 실리콘 기판을 세정하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 28】

제27항에 있어서, 상기 실리콘 기판의 세정부터 티타늄 질화막의 형성까지 진공 중단 없이 인시츄로 진행하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 29】

실리콘 기판 상에 콘택홀을 갖는 절연막을 형성하는 단계;

상기 콘택홀의 바닥 및 내벽 상에 티타늄막을 형성하는 단계;

상기 티타늄막 상에 코발트막을 형성하는 단계;

상기 코발트막 상에 CVD법으로 티타늄 질화막을 형성하면서 상기 콘택홀의 바닥에 티타늄 실리사이드 및 코발트 실리사이드를 포함하는 복합 실리사이드를 형성하는 단계 ; 및

상기 복합 실리사이드 상에 상기 콘택홀을 매립하는 플러그를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 30】

제29항에 있어서, 상기 티타늄막, 코발트막 및 티타늄 질화막은 진공 중단 없이 인시츄로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 31】

제29항에 있어서, 상기 플러그는 텅스텐막, 티타늄 질화막(TiN), 알루미늄막(Al) 또는 탄탈륨 질화막(TaN)으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 32】

제31항에 있어서, 상기 플러그를 티타늄 질화막으로 형성할 경우는 상기 티타늄 질화막 형성과 함께 상기 콘택홀을 매립하는 플러그를 동시에 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 33】

제29항에 있어서, 상기 티타늄막 및 코발트막은 각각 5~150Å 및 5~200Å의 얇은 두께로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 34】

제29항에 있어서, 상기 코발트막은 PVD 또는 CVD법(ALD법도 포함)을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 35】

제29항에 있어서, 상기 티타늄 질화막은 400~750°C의 고온에서 CVD법으로 형성하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 36】

제29항에 있어서, 상기 티타늄막은 400~750°C의 고온에서 CVD법으로 형성할 경우에는 상기 콘택홀의 바닥에 티타늄 실리사이드가 형성되는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 37】

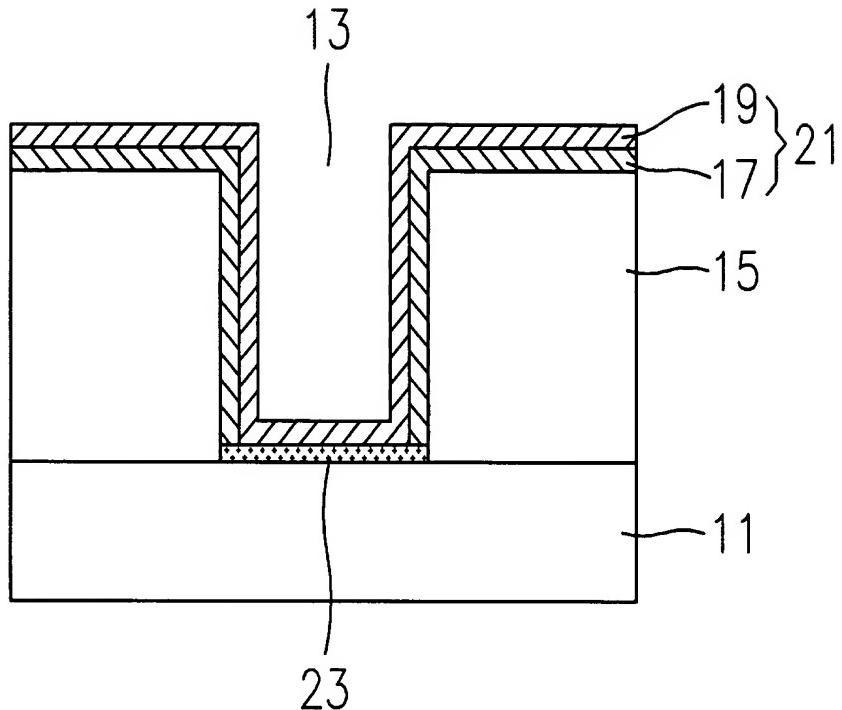
제29항에 있어서, 상기 콘택홀을 갖는 절연막을 형성한 후 상기 실리콘 기판을 세정하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【청구항 38】

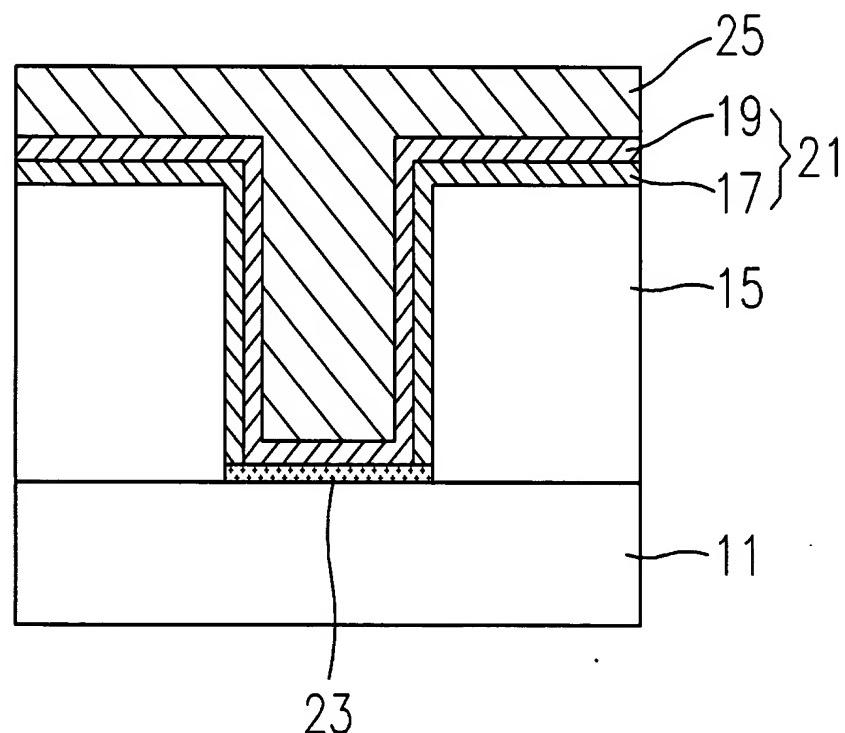
제37항에 있어서, 상기 실리콘 기판의 세정부터 티타늄 질화막의 형성까지 진공 중단 없이 인시츄로 진행하는 것을 특징으로 하는 반도체 소자의 금속 콘택 형성 방법.

【도면】

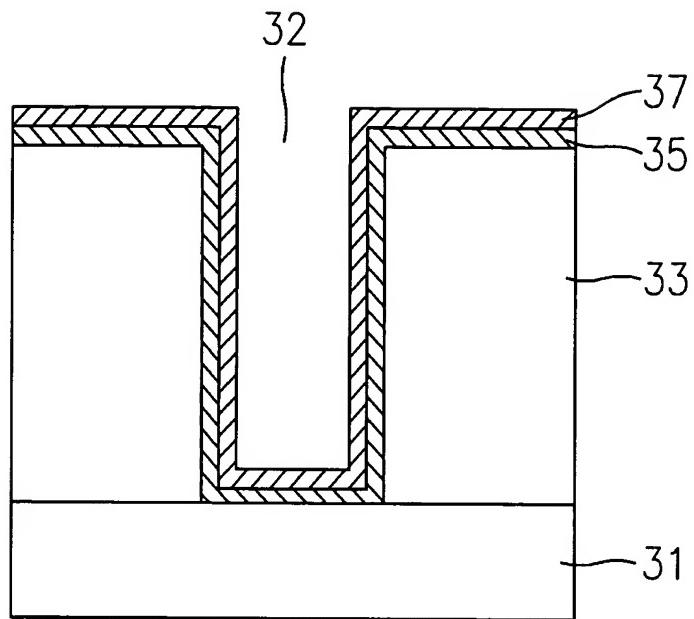
【도 1a】



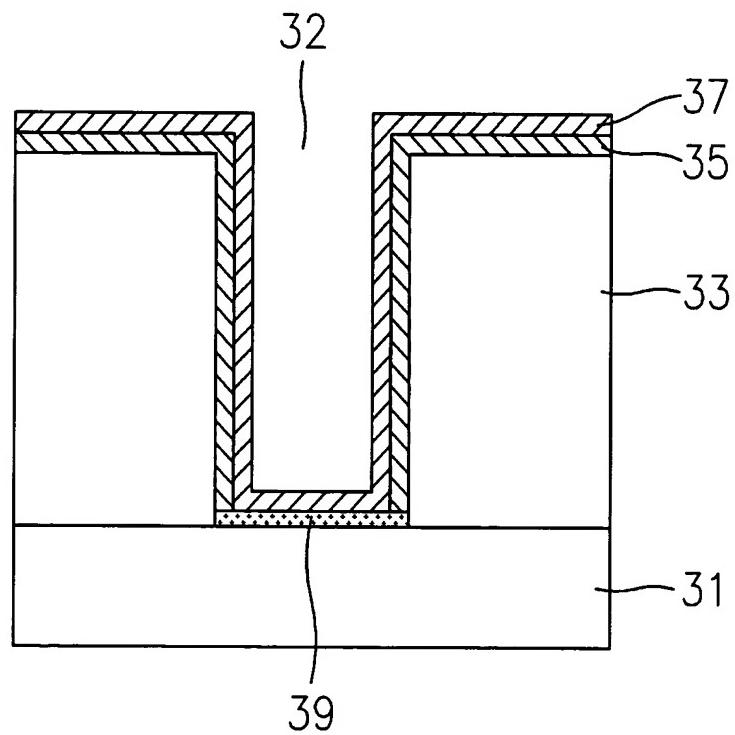
【도 1b】



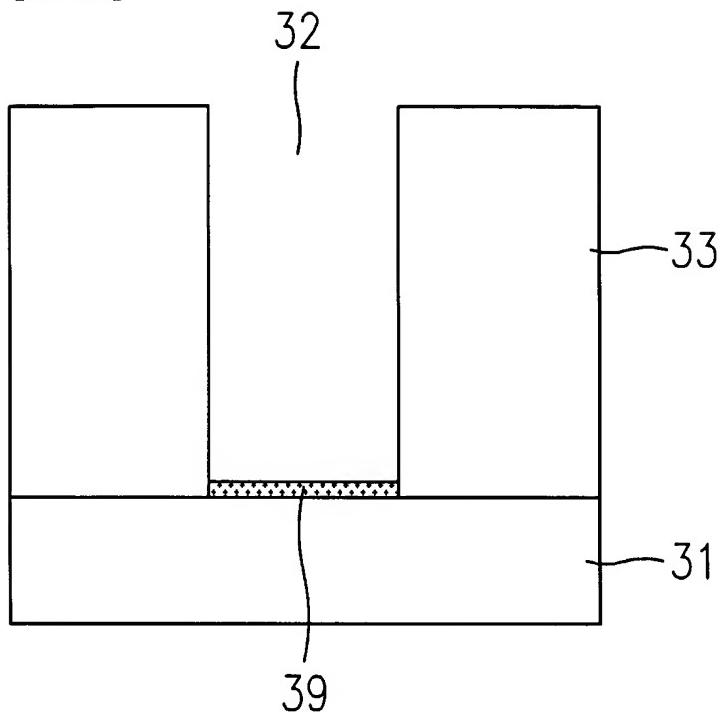
【도 2a】



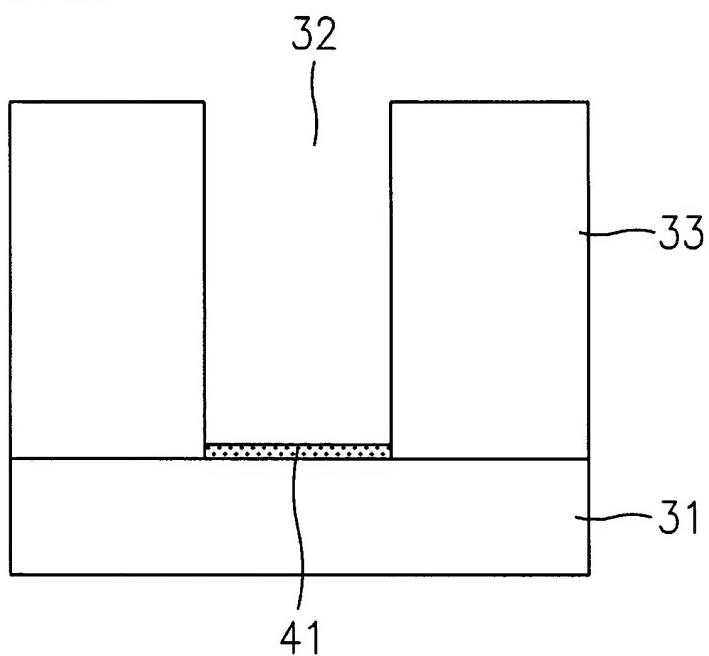
【도 2b】



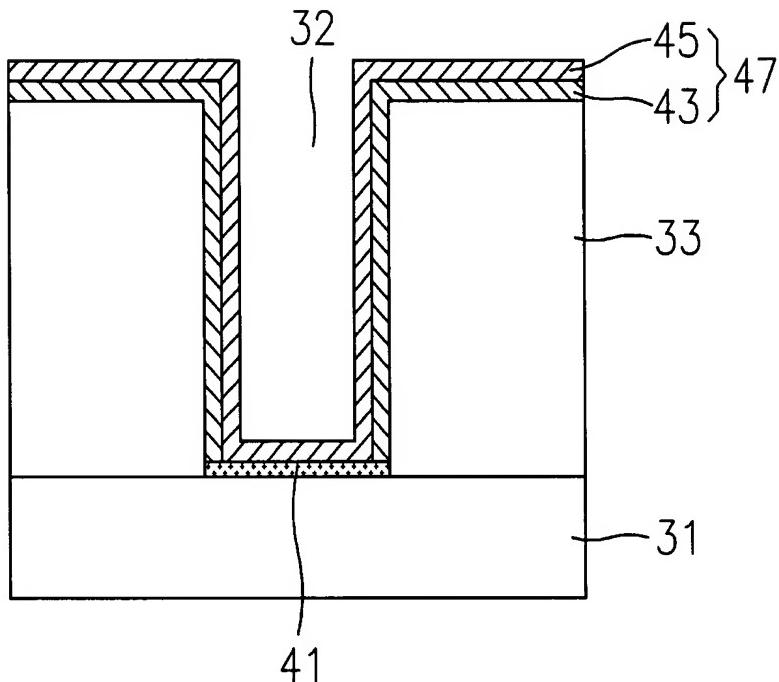
【도 2c】



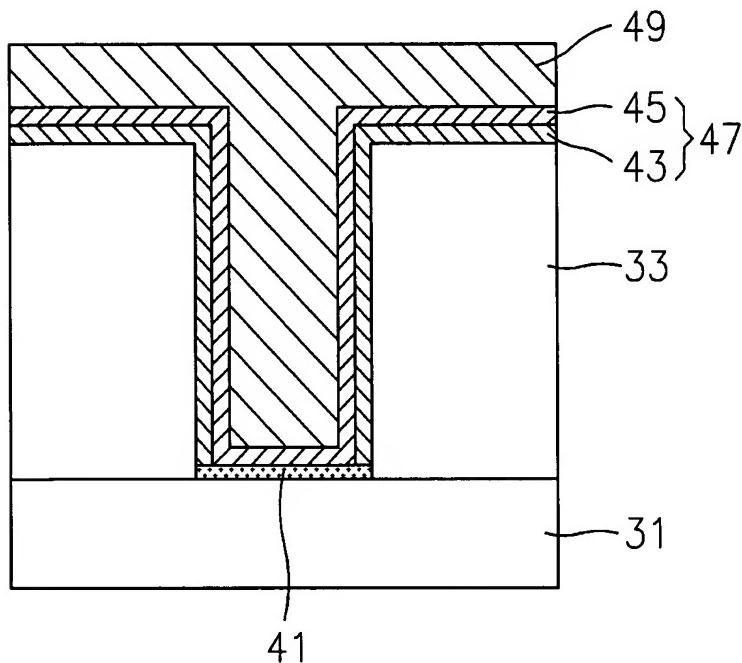
【도 2d】



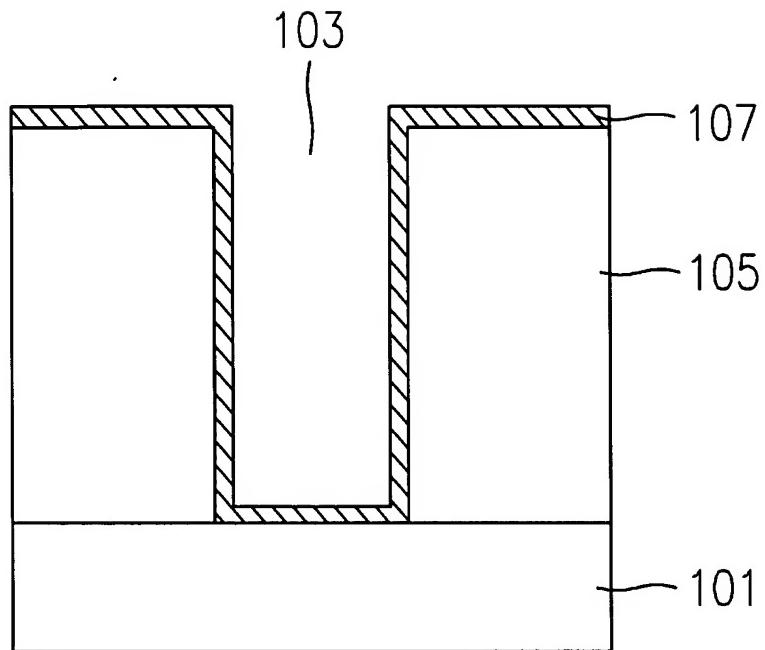
【도 2e】



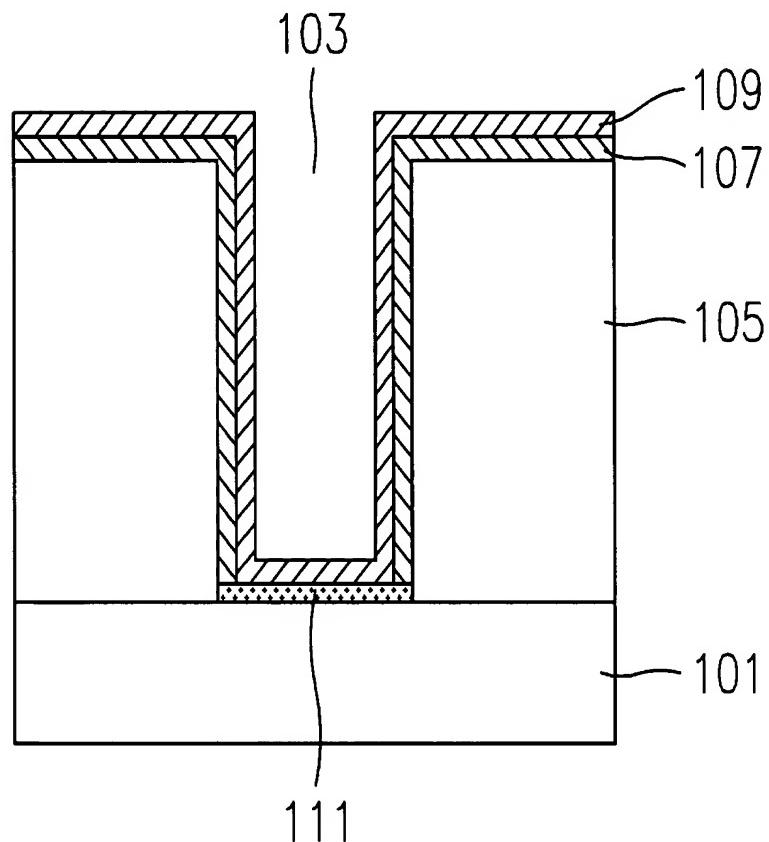
【도 2f】



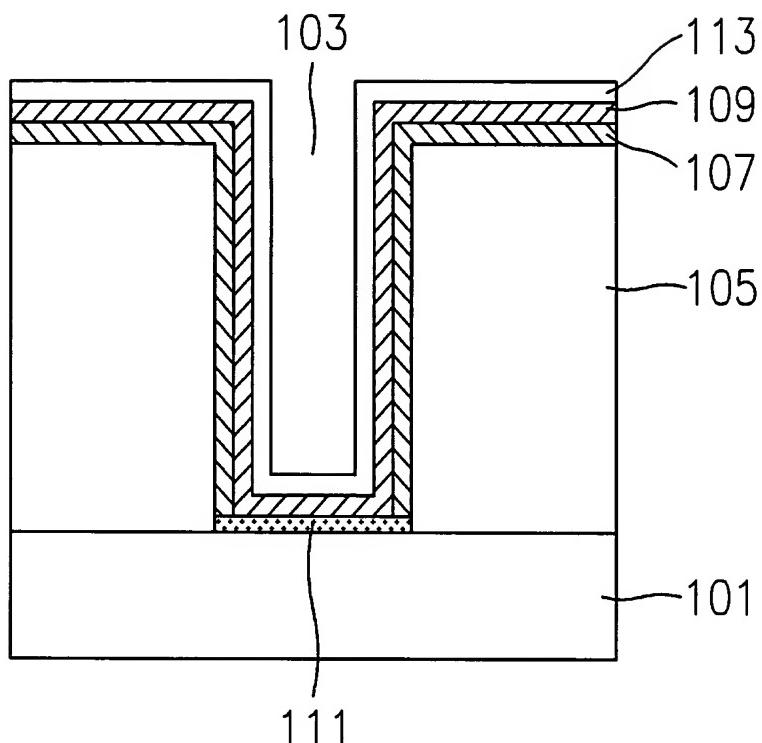
【도 3a】



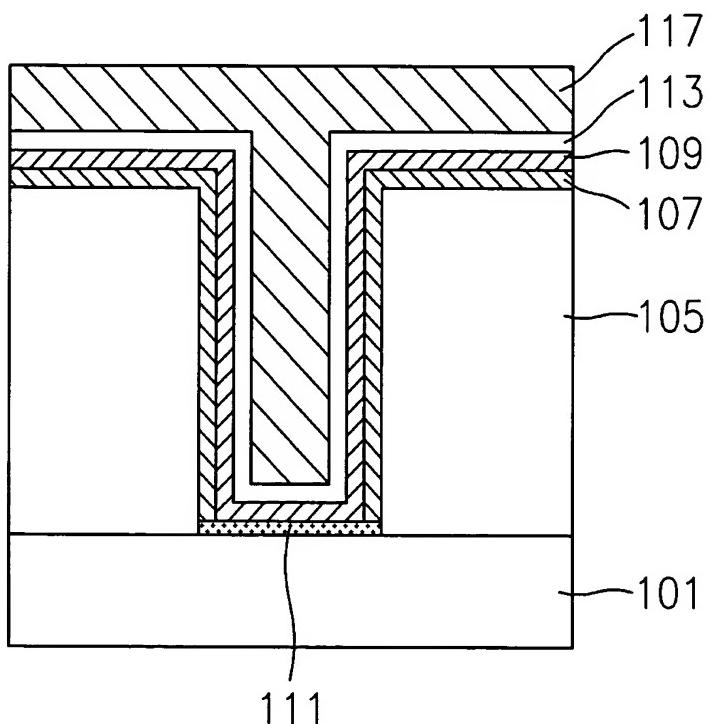
【도 3b】



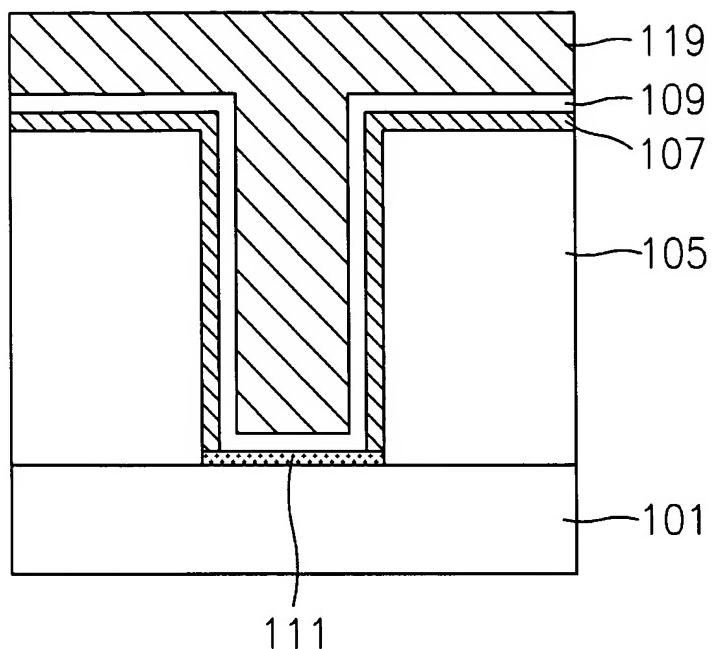
【도 3c】



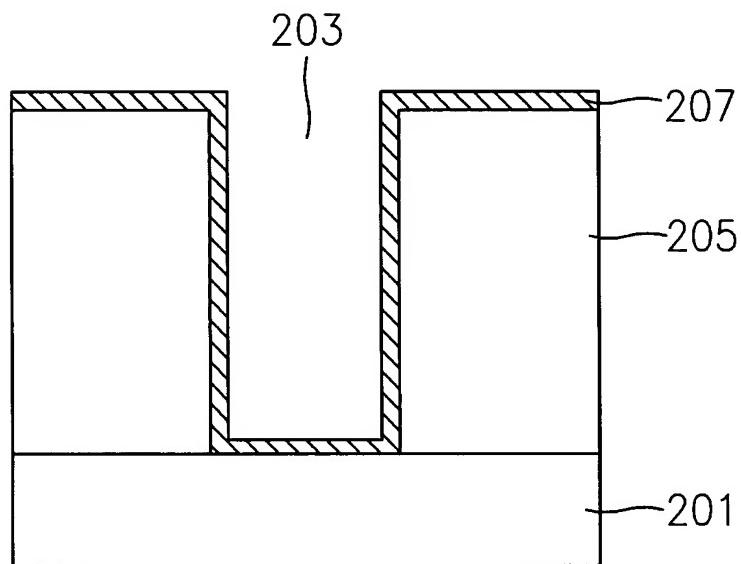
【도 3d】



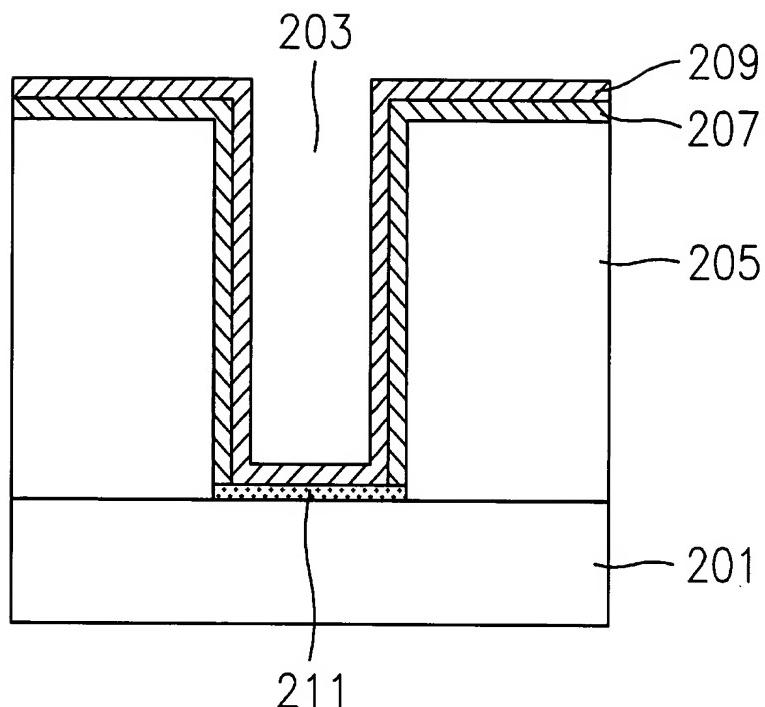
【도 4】



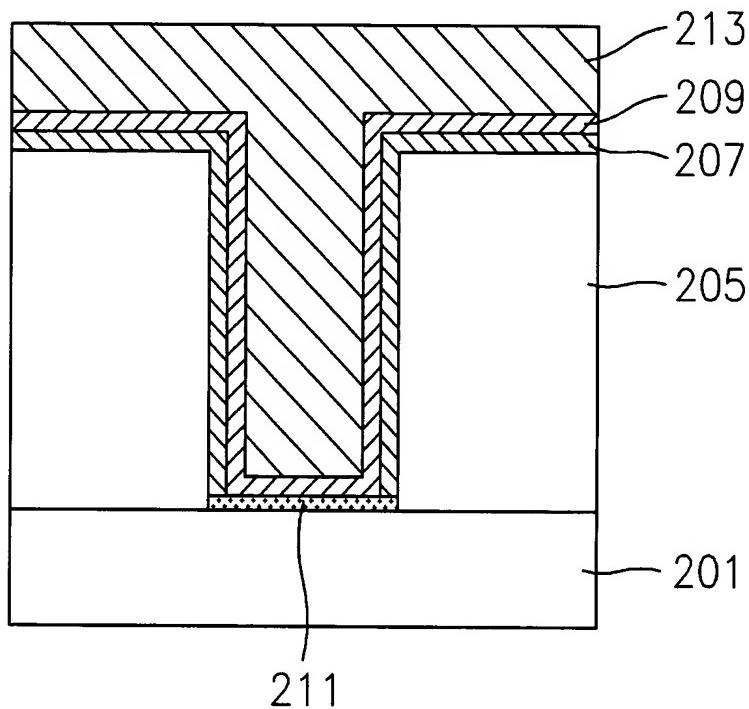
【도 5a】



【도 5b】



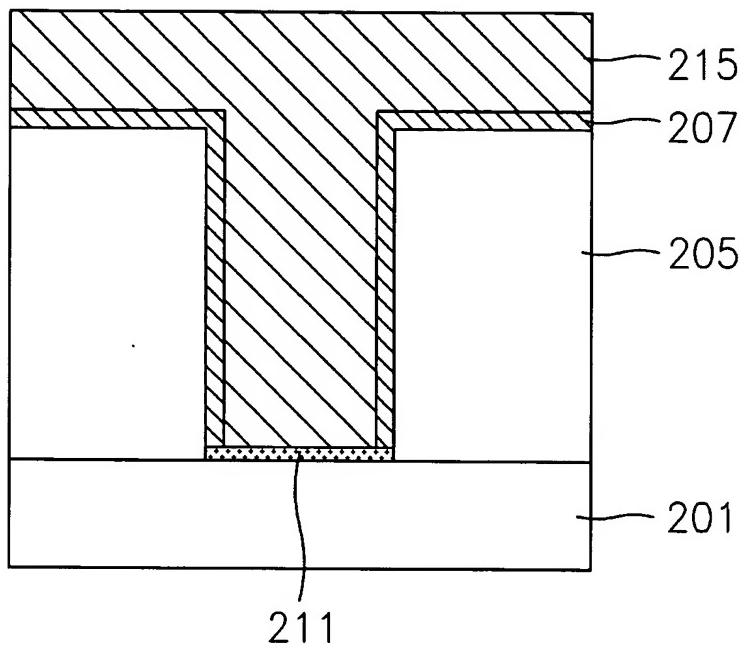
【도 5c】



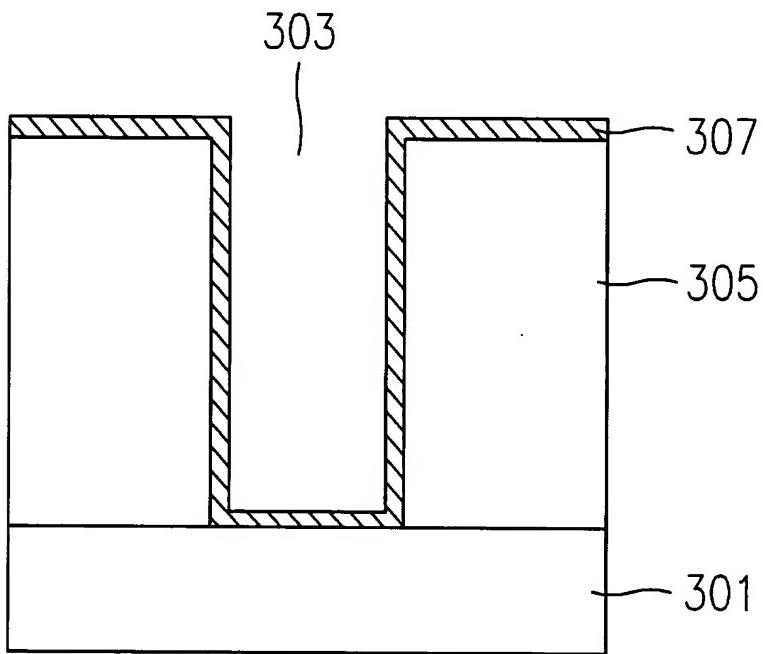
1020020050072

출력 일자: 2002/10/24

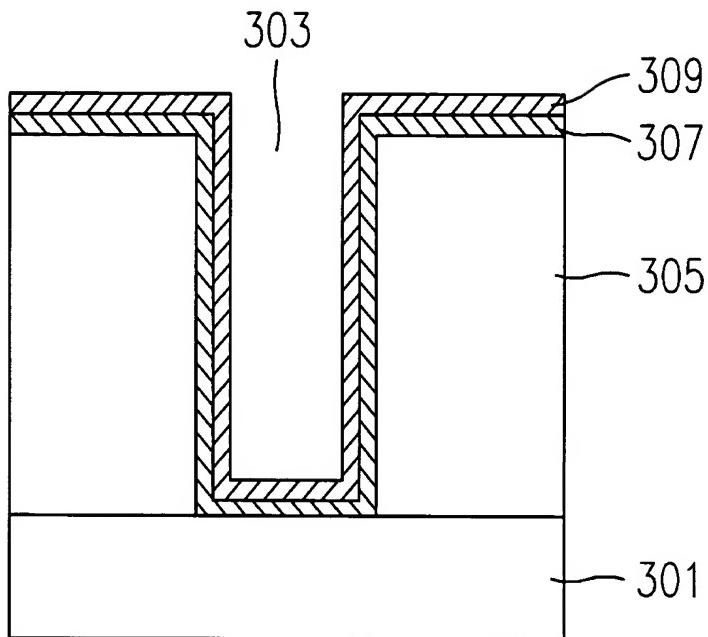
【도 6】



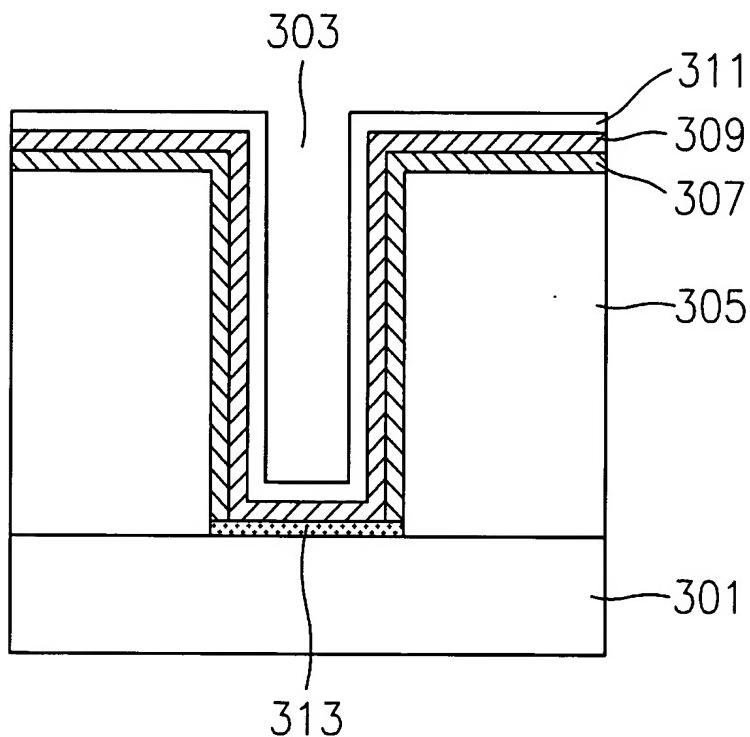
【도 7a】



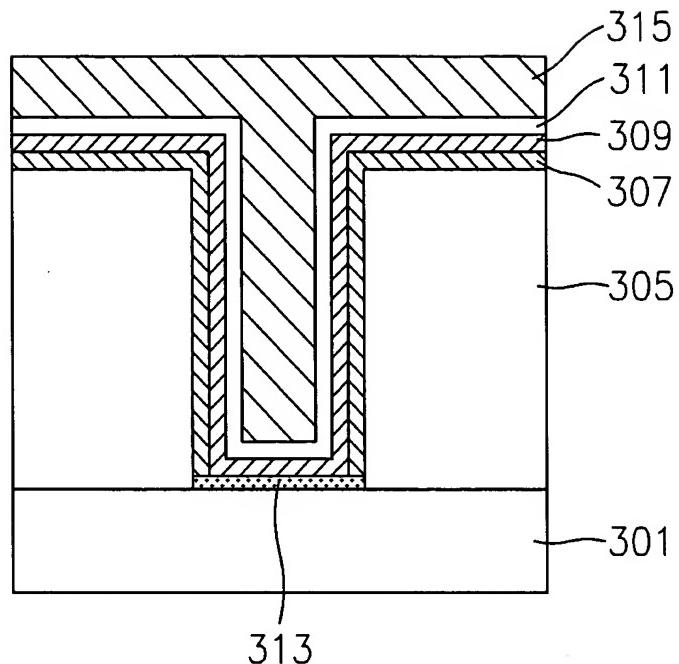
【도 7b】



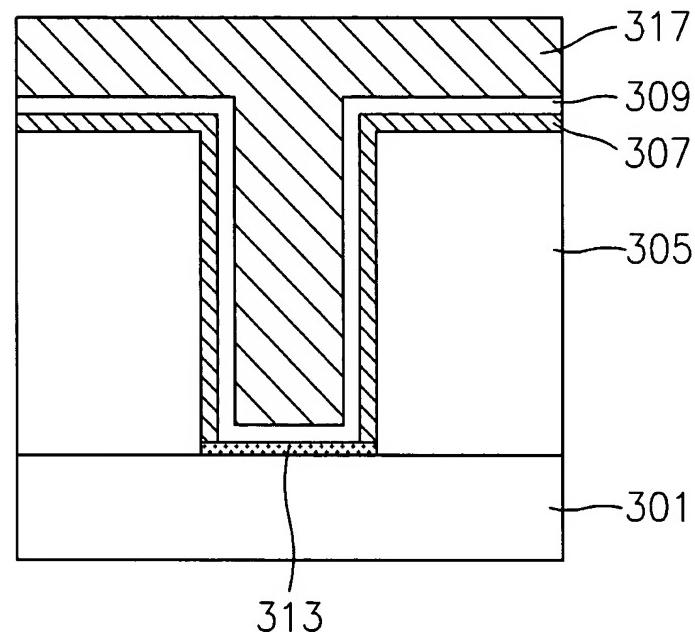
【도 7c】



【도 7d】



【도 8】

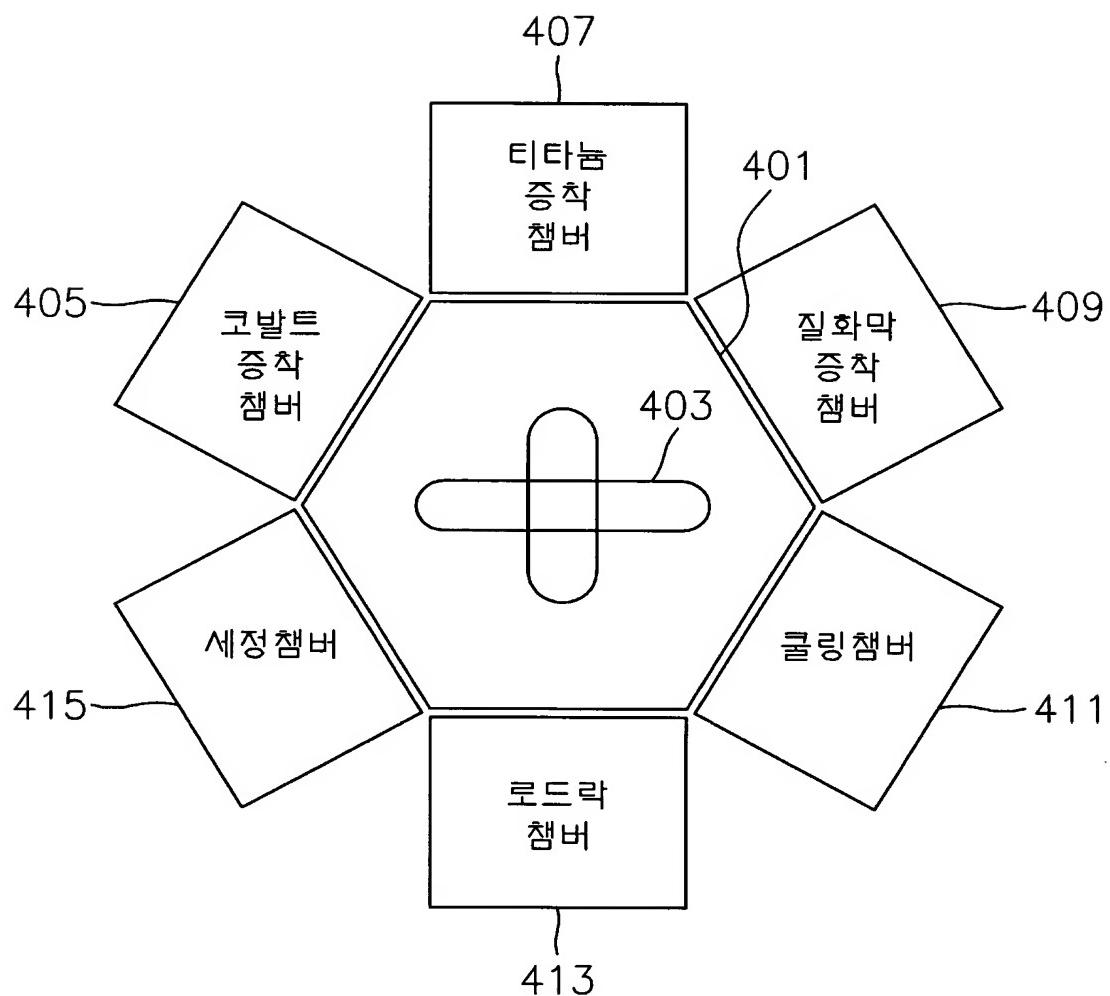




1020020050072

출력 일자: 2002/10/24

【도 9】





1020020050072

출력 일자: 2002/10/24

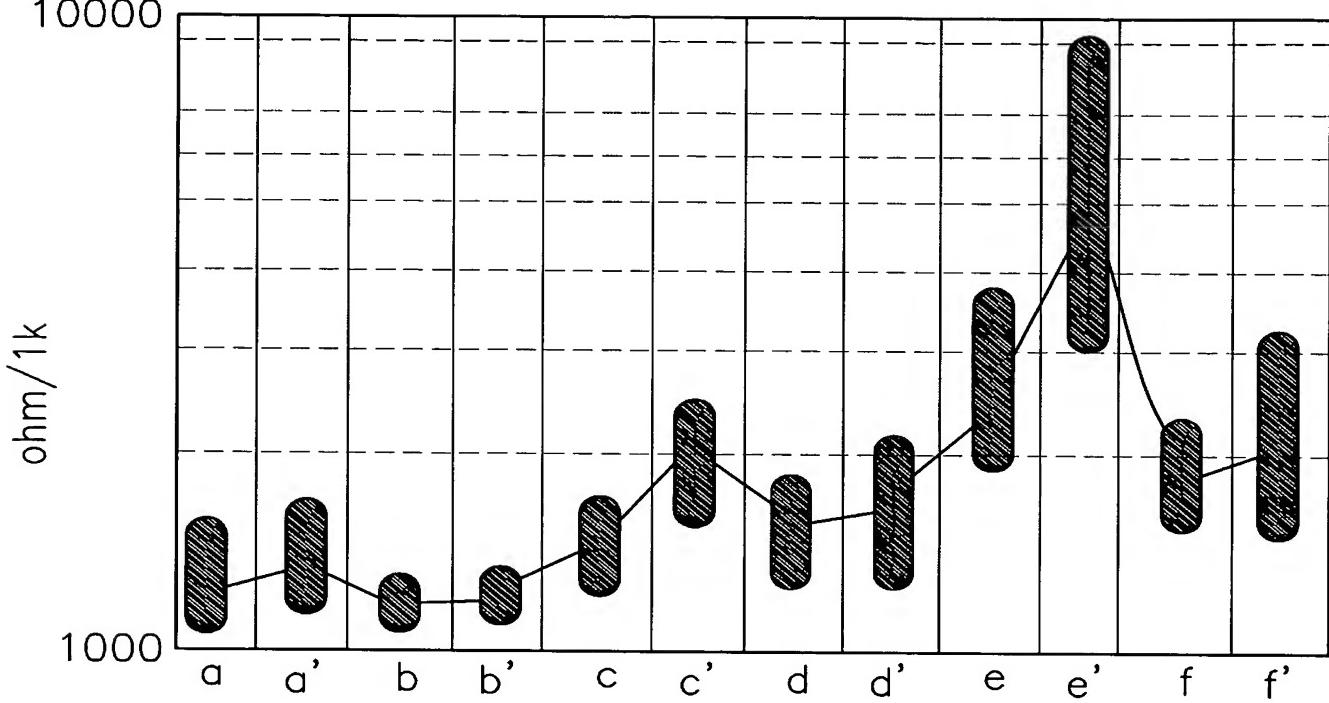
【도 10】

10000

ohm/1k

1000

a a' b b' c c' d d' e e' f f'

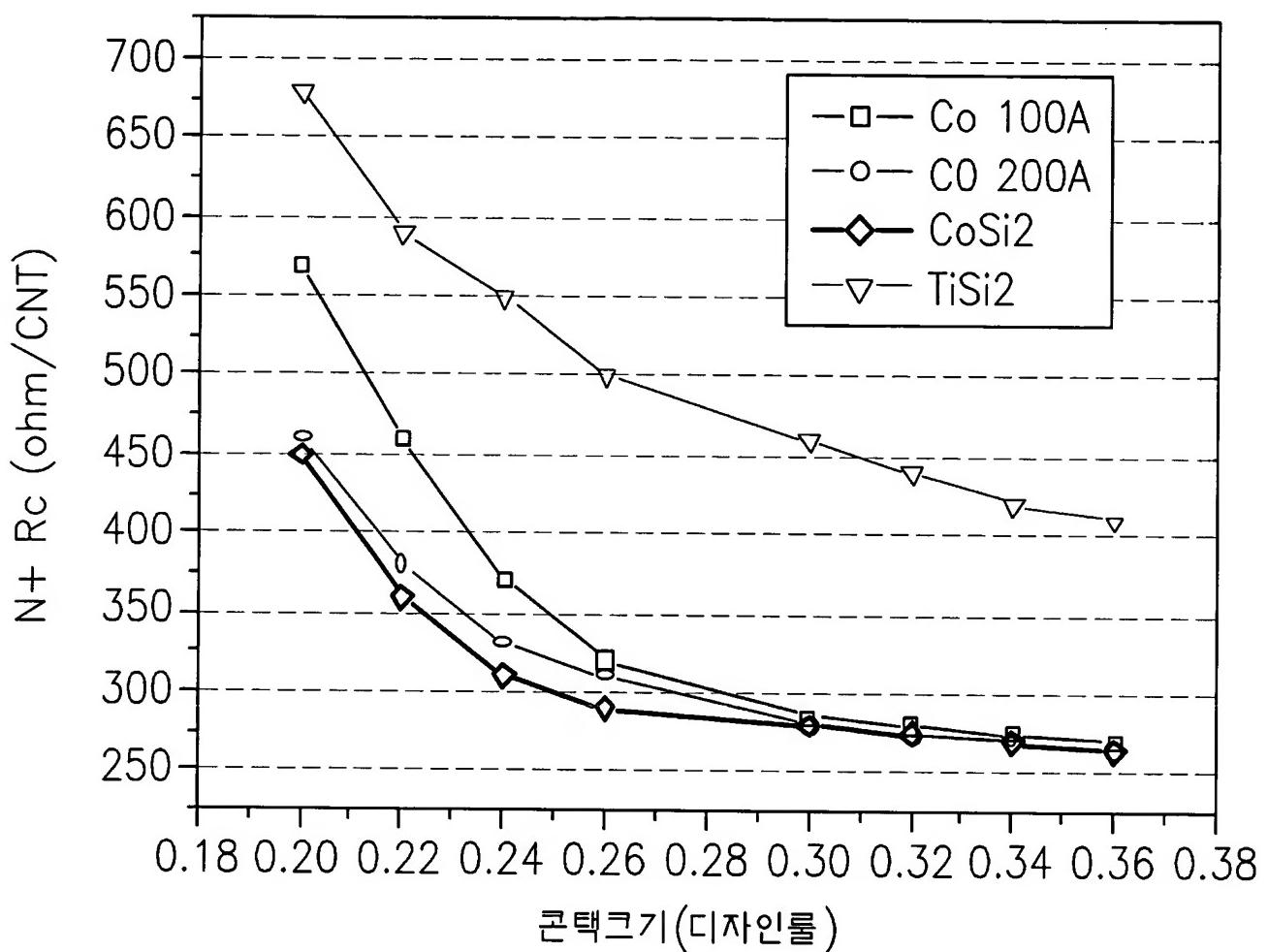




1020020050072

출력 일자: 2002/10/24

【도 11a】





1020020050072

출력 일자: 2002/10/24

【도 11b】

